

## 概説

PT7 (ProtoType 7) はFPGA を搭載したVME汎用モジュールで、ATLAS 実験におけるTGC (Thin Gap Chamber) の読み出し回路の一つであるROD (Read Out Driver) の性能向上に向けたテスト用基板です。

## 特徴

### 主要機能

- VME 6U サイズ VME 汎用マザーボード
- A32D32 スレーブモジュール
- VME I/F 及び FPGA configuration に CoolRunner II FPGA を用いる
- 入力 は DDR Infiniband 4x (5Gbps×4 = 20Gbps) を 2 口
- 上記を処理するため GTX Transceiver を搭載した Kintex-7 FPGA を用いる
- データはバッファされ、トリガーを受け取ったものだけ  
ゼロサプレス後に出力される
- 出力は Gigabit Ethernet を 1 口
- トリガーは専用メザニンカード (TTCrq) より受け取る

### ●付随機能

- ソフトプロセッサ Microblaze を組み込む予定
- Dual Port Memory を搭載し、FPGA・VME 両側から読み書き可
- DDR3SDRAM を搭載し、FPGA からの高速な読み書き可
- OS ブートローダ用 Flash Memory
- コンソール用 RS232C
- PT6 と互換性のあるメザニンカードスロット
- LEMO コネクタによるテスト用信号の入出力
- SiTCP により NW から FPGA configuration 可能

### 高速転送能力

入力 :  $421\text{bit} \times 40\text{MHz} = 16.8\text{Gbps}$

約 500bit を 2.5 $\mu\text{s}$  以上保持するバッファ

出力 : 最大で約  $500\text{bit} \times 100\text{kHz} = 50\text{Mbps}$

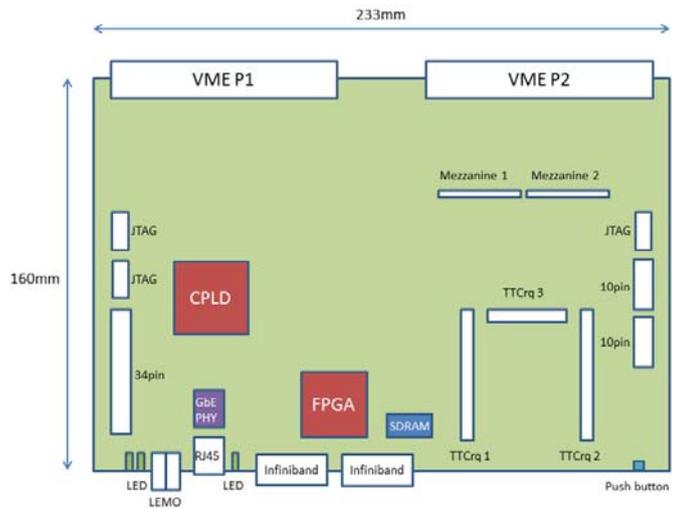
## 仕様

基板サイズ 233.35 x 160mm

基板材 : FR4 12層基板 T = 1.6MM

使用電源 : +5V, +3.3V





基板レイアウト図面

- テスト用リセットスイッチ
- NIMdata 出力選択用ジャンパー
- FPGA、TTCdata (、CPLD) から1つ選択
- NIM clock 出力選択用ジャンパー
- FPGA、TTC clock (、40MHz OSC) から1つ選択
- TTC data 選択用ジャンパー
- 4つの信号から1つ選択
- TTC clock 選択用ジャンパー
- 4つのクロックから1つ選択  
ジャンパーについては下図参照

- 40.079MHz Oscillator  
CPLD 及び FPGA のシステムクロック
  - MX03-7050C
  - 125MHz Oscillator (differential)  
GTX Transceiver 用パラレルクロック
  - KC7050P
  - 160MHz input (differential)  
GTX Transceiver 用パラレルクロック  
TTCrqs からの差動クロック入力
  - 133MHz Oscillator (differential)  
SDRAM 用参照クロック
  - 167MHz、267MHz でもよい
  - NIM input
- クロックの分配については下図参照  
赤線はクロックソースを示す

