

2. VME-bus 規格

2.1 VME-bus 規格の概要

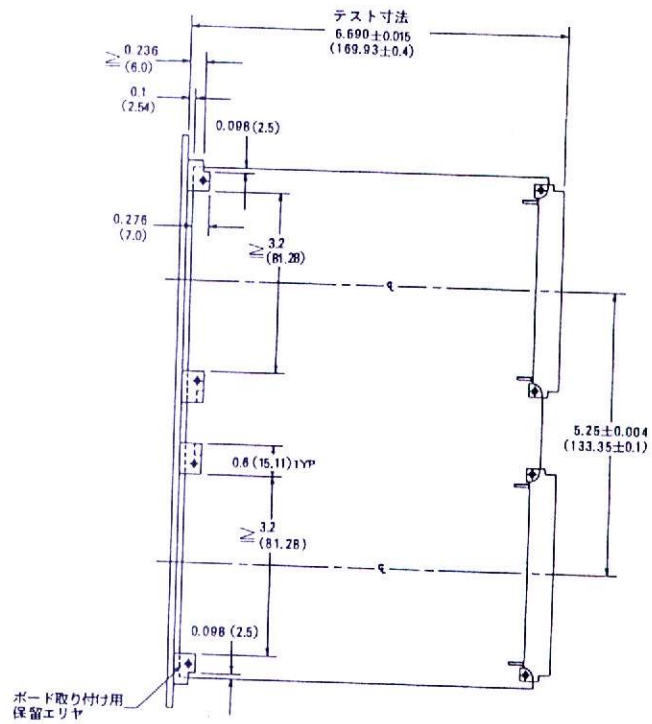
VME-bus monitor board は VME-bus に準拠して設計を行う必要がある。そのため本章では VME-bus 規格について簡単に説明する。

VME-bus は 1980 年にモトローラ社の 68000 開発装置で採用されていた VERSA-bus を基に作成され、1987 年に IEEE 1414 として承認された。当初 68000 用標準バスと見られていたが、現在では、CISC、RISC を問わずほとんどのプロセッサをサポートし産業、工業用の標準バスとして広く使用されている。

さらに VME-bus で規定していない空きピンを使用したサブバスとして、VMX-bus (Memory Expansion bus)、VMS-bus(Serial bus)、VSB-bus(VME Subsystem bus)などの規格化も進められ、これらのシステム・バスの中心として VME-bus は位置付けられている。

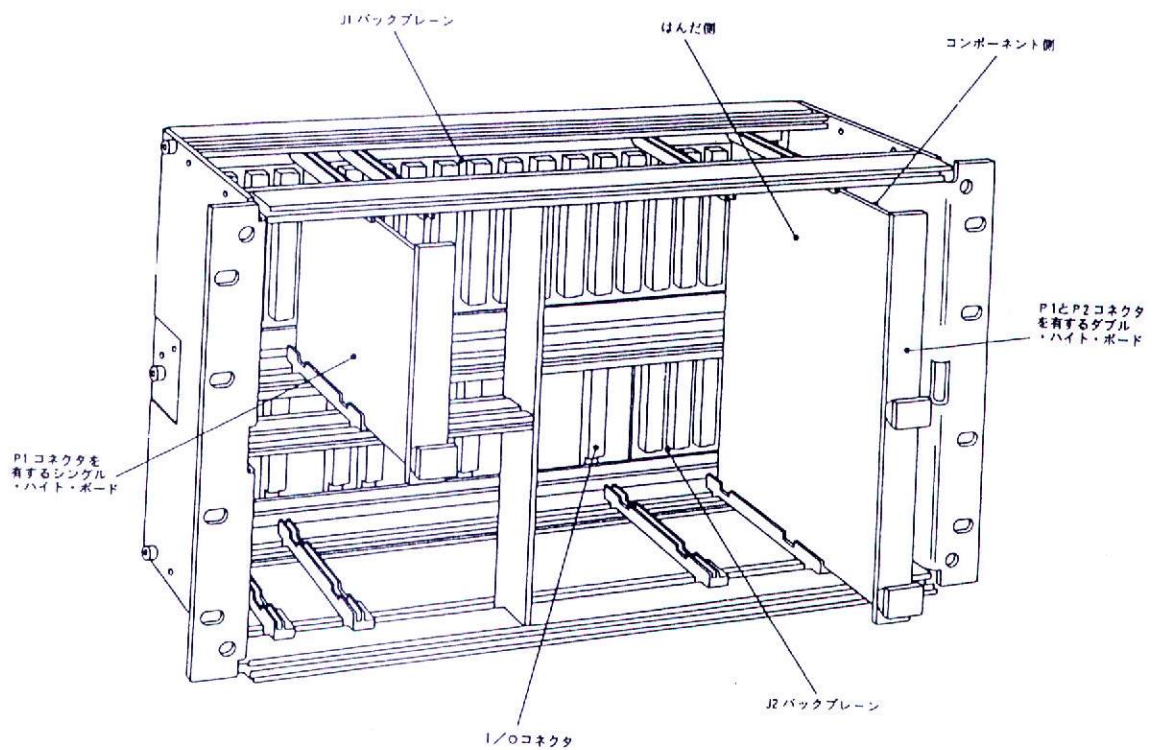
VME-bus は以下のような特徴を持つ。

1. アドレス幅は最大 32bit。4G バイトの空間をサポートしている。アドレス幅は 16/24/32bit の中から選択可能であり、6bit のアドレス・モデファイア・コード(AM コード)によって指定する。
2. データ幅は最大 32bit。データ転送には、32、16、8bit 転送があり、データ・ストロープ信号 (DS0*及び DS1*)、ロングワード信号 (LWORD*)、アドレスの最下位 bit である A1 の信号の組み合わせで指定される。
3. ハンドシェイクでデータ転送を行う。
4. 最大 21 までのマスターボードが存在できる。マスターボードは 4 レベルのバス・リクエストによりバスの使用要求を行い、01 スロットに存在するアービタがバスの使用許可を出す。
5. 7 レベルの割り込み要求線 (IRQ1*~IRQ7*) があり、同一レベルの割り込みを複数のインタラプタが使用可能。この場合 01 スロットに近い方が優先される。
6. ボードの形状や実装部品の高さなどが細かく定められている。ボードサイズにはダブルハイトとシングルハイトがある。(figure 2.1、figure2.2)
7. DIN コネクターによる高信頼性。



※ 単位はインチ、括弧内はmm。

(figure 2.1 ダブルハイト・ボードサイズ)



(figure 2.2 シングルハイト、ダブルハイトのサブラック)

VME-bus 規格で使用される主な用語について説明する。figure2.3に VME-bus のモジュール構造を示す。

●マスタ

ボード上に CPU を搭載し、VMEバス上のメモリーや I/O などへのデータ転送バスサイクルを開始する機能モジュール。

●スレーブ

マスタによって開始されるデータ転送バスサイクルを検出しそれに応答する機能モジュール。(マスタ/スレーブ両用のボードもある。)

●インタラプタ

割り込み要求を生成し、インタラプタ・ハンドラの要求に応じてステータス/ID 情報を提供する機能モジュール。

●インタラプタ・ハンドラ

インタラプタの割り込み要求を検出し、ステータス/ID を受け取って割り込み要求に応答する機能モジュール。

●リクエスト

複数のマスタが同一のバス上に存在する場合、マスタはデータ転送をする前にバスの使用権を取得する必要がある。リクエストはバスの使用権をアービタに要求する機能モジュール。

●アービタ

01 スロットに存在し複数のリクエストからの要求を調停し、バスの使用権の許可を与える機能モジュール。アービタは1つのシステムに1つのみ存在する。

●バス・タイマ

バス上のデータ転送を一定時間経過後に強制的に終了させる機能モジュール。存在しないスレーブにデータ転送をしようとした場合等にサイクルを終了させる。

●システム・コントローラ・ボード

01 スロットに存在し、VME-bus システムの中核となる CPU ボード。アービタ、システム・クロック・ドライバなどを備える。

VME-bus では様々な役割の信号線が定義されているが、それらの信号線は以下の 4 種類のバスラインに分類できる。

1. アービトレーションバス

システムが 1 つ以上のマスタで構成されている場合もある為、同じバスを同時に複数のマスタが使用するのを避ける必要がある。そのためには規則正しい方法でそれぞれのマスタにバスの使用を割り振らなければならない。バスライン使用の要求と調停の為に用意された信号ライン。(リクエストとアービタにより使用される。)

2. データ転送バス

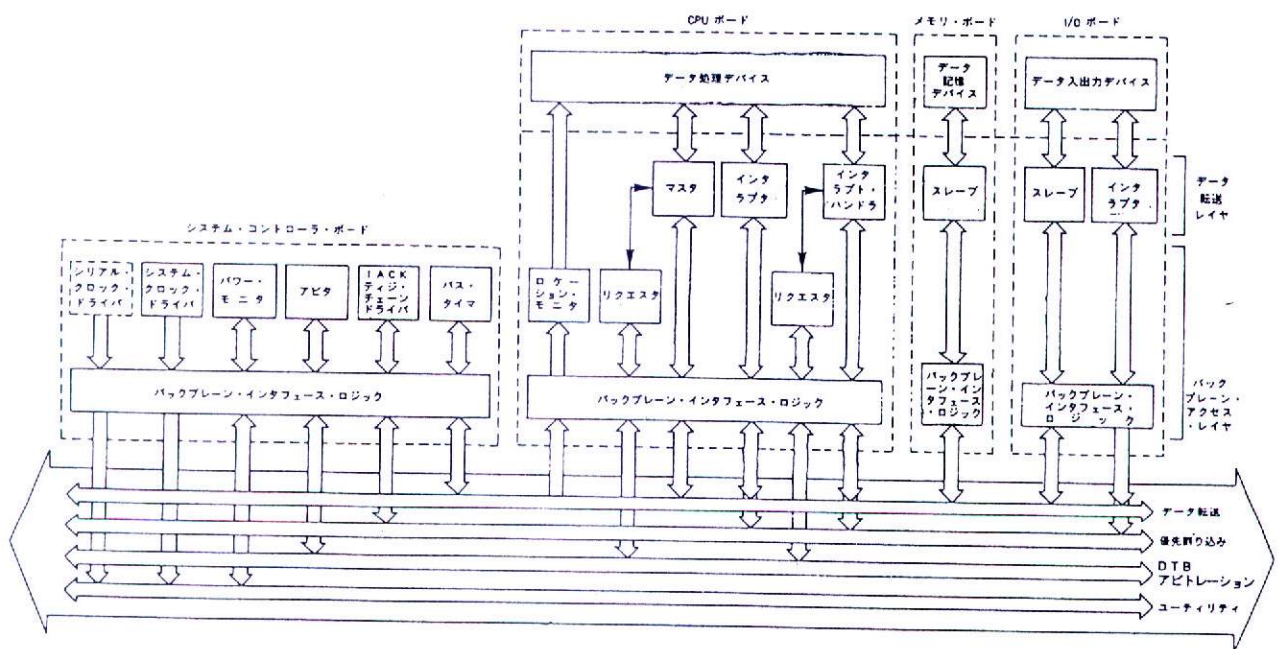
マスタがバスの使用許可を受けた後、アドレスとデータ、および関連する制御信号を転送する為の信号ライン。

3. 優先割り込みバス

割り込み要求を行う為の信号ライン。(インタラプタとインタラプタハンドラにより使用される。)

4. ユーティリティバス

クロック、リセット、障害検出等の信号を転送する信号ライン。



(figure 2.3 VME-bus で定義される機能モジュールとバス)

2.2 VME-bus の信号線

ボードからバックプレーンへの接続は P1 及び P2 と呼ばれる 2 つの 96 ピン DIN コネクターが使用される。VME-bus のボードを設計する際、P1 は必ず必要となり、P2 は拡張機能(32bit アドレス及び 32bit データ転送)を使用する場合のみ必要となる。また P2 の A 列、C 列はユーザーに解放されており、VSB-bus などに使用されている。

figure 2.4 に VME-bus のピン・アサインを示す。

ピン番号	P1/J1			P2/J2			ピン番号
	A 列	B 列	C 列	A 列	B 列	C 列	
1	D00	BBSY*	D08	ユーザ定義	+5V	ユーザ定義	1
2	D01	BCLR*	D09	ユーザ定義	GND	ユーザ定義	2
3	D02	ACFAIL*	D10	ユーザ定義	予約済み	ユーザ定義	3
4	D03	BG0IN*	D11	ユーザ定義	A24	ユーザ定義	4
5	D04	BG0OUT*	D12	ユーザ定義	A25	ユーザ定義	5
6	D05	BG1IN*	D13	ユーザ定義	A26	ユーザ定義	6
7	D06	BG1OUT*	D14	ユーザ定義	A27	ユーザ定義	7
8	D07	BG2IN*	D15	ユーザ定義	A28	ユーザ定義	8
9	GND	BG2OUT*	GND	ユーザ定義	A29	ユーザ定義	9
10	SYSCLK	BG3IN*	SYSFAIL*	ユーザ定義	A30	ユーザ定義	10
11	GND	BG3OUT*	BERR*	ユーザ定義	A31	ユーザ定義	11
12	DS1*	BR0*	SYSRESET*	ユーザ定義	GND	ユーザ定義	12
13	DS0*	BR1*	LWORD*	ユーザ定義	+5V	ユーザ定義	13
14	WRITE*	BR2*	AM5	ユーザ定義	D16	ユーザ定義	14
15	GND	BR3*	A23	ユーザ定義	D17	ユーザ定義	15
16	DTACK*	AM0	A22	ユーザ定義	D18	ユーザ定義	16
17	GND	AM1	A21	ユーザ定義	D19	ユーザ定義	17
18	AS*	AM2	A20	ユーザ定義	D20	ユーザ定義	18
19	GND	AM3	A19	ユーザ定義	D21	ユーザ定義	19
20	IACK*	GND	A18	ユーザ定義	D22	ユーザ定義	20
21	IACKIN*	SERCLK	A17	ユーザ定義	D23	ユーザ定義	21
22	IACKOUT*	SERDAT*	A16	ユーザ定義	GND	ユーザ定義	22
23	AM4	GND	A15	ユーザ定義	D24	ユーザ定義	23
24	A07	IRQ7*	A14	ユーザ定義	D25	ユーザ定義	24
25	A06	IRQ6	A13	ユーザ定義	D26	ユーザ定義	25
26	A05	IRQ5*	A12	ユーザ定義	D27	ユーザ定義	26
27	A04	IRQ4*	A11	ユーザ定義	D28	ユーザ定義	27
28	A03	IRQ3*	A10	ユーザ定義	D29	ユーザ定義	28
29	A02	IRQ2*	A09	ユーザ定義	D30	ユーザ定義	29
30	A01	IRQ1*	A08	ユーザ定義	D31	ユーザ定義	30
31	-12V	+5V STDBY	+12V	ユーザ定義	GND	ユーザ定義	31
32	+5V	+5V	+5V	ユーザ定義	+5V	ユーザ定義	32

* 信号名の終わりにアスタリスク(*)が付いているものは負論理で信号が Low の状態の時に有効となる事を表す。

(figure 2.4 P1/J1、P2/J2 のピン・アサイン)

VME-bus で使用されている信号線の簡単な解説を以下に示す。

●BR0*~BR3*

バスリクエスト信号。リクエストがアービタに対してバスの使用权を要求する時にドライブする。

●BG0IN*~BG3IN*、BG0OUT*~BG3OUT*

バスリクエストに対して、アービタがバスの使用許可をした時にドライブする。デジ・チェーンにより 01 スロットから順次伝わっていく。

●BBSY*

リクエストが現在バスの使用权を確保している時にドライブされる。データ転送は BBSY* がドライブされてから転送が開始される。

●BCLR*

優先順位方式(PRI 方式)のときバスの使用权を取得しているリクエストより高い優先度のリクエストがペンディング状態になっていることを示す。

●A01~A31

アドレスの指定線。

●AM0~AM5

アドレス・モデファイア・コード (アドレスの追加情報) を提供する信号線。

●D00~D31

データ転送線。

●LWORD*

ロングワード信号。32bit 転送の際ドライブされる。

●WRITE:*

データ転送サイクルが書き込みの際ドライブされる。

●AS*

この信号の立ち下がり、A01~A31、AM0~AM5、LWORD*、IACK*が確定していることを示す。

●DS0*、DS1*

DS0*は D00~D07、DS1*は D08~D15 のデータの有効状態を示す。

リードサイクル時の立ち上がりエッジはマスタがデータを受け取ったことを示し、ライトサイクル時の立ち下がりエッジはデータ確定を示す。

●DTACK*

データ転送サイクル中にスレーブがドライブする。リードサイクル時の立ち下がりエッジはバス上にスレーブがデータを置いたことを示し、ライトサイクル時の立ち下がりエッジはスレーブがデータを受け取ったことを示す。

●BERR*

バス・エラー信号で、データ転送の失敗を意味する。

●IACK*

現在の転送サイクルが割り込みサイクルであることを示す。

●IRQ1*~IRQ7*

割り込みリクエスト信号。IRQ7*が最も優先度が高い。

●IACKIN*、IACKOUT*

割り込み応答ライン。インタラプタは自分の出した割り込みレベルと一致しない場合デジチェーンにより IACKIN* を IACKOUT* に伝達する。

●SYSRESET*

全てのスロットに対する初期化信号。

●SYSFAIL*

自己診断中、故障を示す信号。

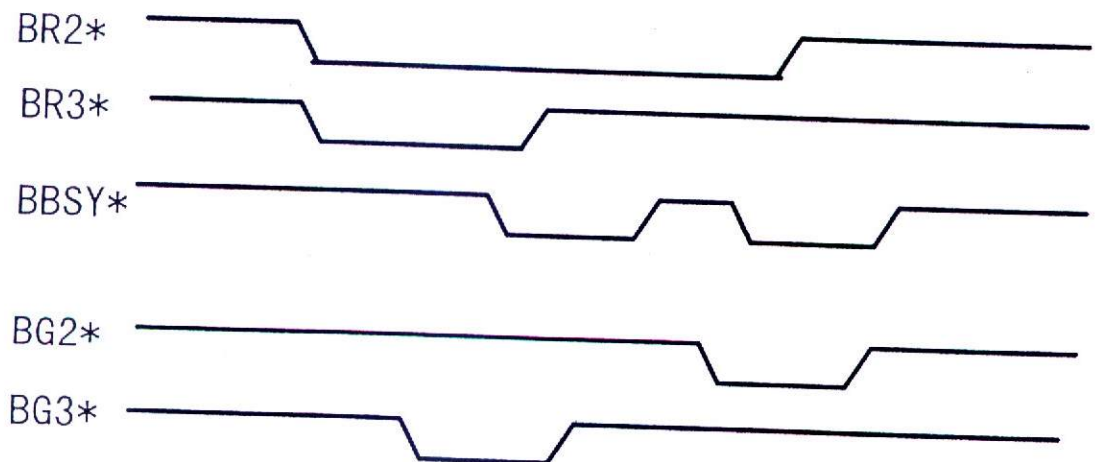
●ACFAIL*

AC 電源の異常を示す信号。

2.3 VME-bus のタイミング

VME-bus の提供すバスラインは 4 種類に分けられるが、ユーティリティーバス以外のバスはタイミングを必要とする。それぞれのタイミングを説明する。

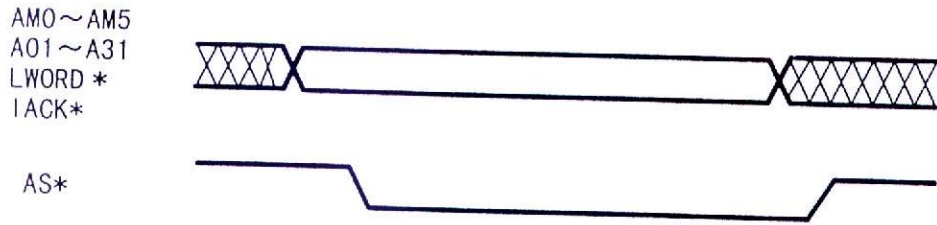
1. アービトレーションバス (figure 2.5)



(figure 2.5 アービトレーションバスのタイミング)

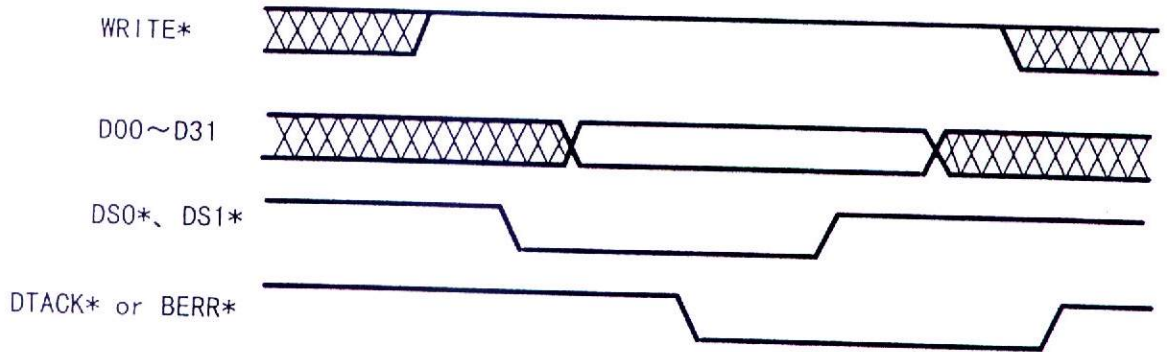
2. データ転送バス

アドレス (figure 2.6)



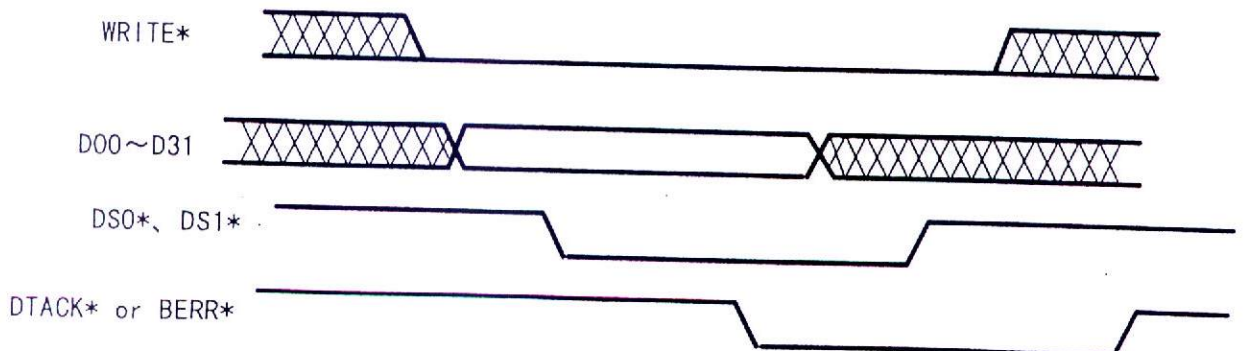
(figure 2.6 アドレスの転送タイミング)

データ転送は読み込み時と書き込み時で信号の意味が異なるので注意が必要である。
読み込み時 (figure 2.7)



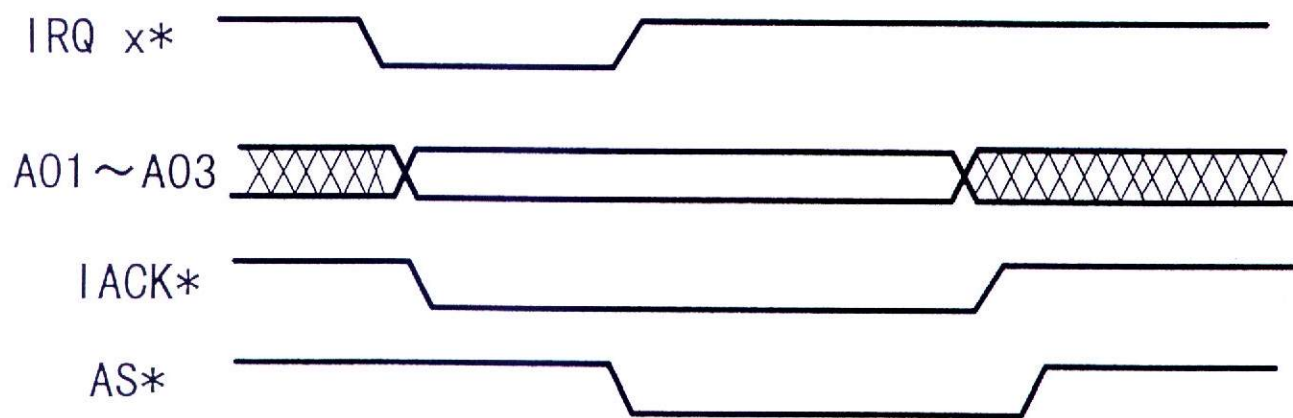
(figure 2.7 読み込み時のデータの転送タイミング)

書き込み時 (figure 2.8)



(figure 2.8 書き込み時データ転送タイミング)

3.優先割込みバス (figure 2.9)



(figure 2.9 割り込みのタイミング)